

フォールト・トレラント・ゲートを VLSI に適用したときの信頼性改善および歩留り改善について†

武藤佳恭^{**} 足立佳彦^{**} 相磯秀夫^{**}

計算機の高信頼化を計る一手法として、われわれはフォールト・トレラント・ゲート(以下 FTG とよぶ)を提案した。この FTG を用いて冗長大規模集積回路チップを構成すると、従来のゲートで構成された同機能の非冗長大規模集積回路チップに比べ、高信頼化が達成できるだけでなく、歩留りの改善も期待できる。そこで、本論文では、まず初めに、新たに3状態 FTG を提案し、基本的な論理素子がすべて FTG 化できることを示す。また、NOR-FTG のトランジスタによる構成例を示し、従来のゲートとの信頼性の比較および、FTG 方式と TMR 方式との信頼性の比較を行っている。次に、これらの条件のもとで、FTG で大規模集積回路を構築した際の歩留り向上について論ずる。従来のゲートおよび、FTG のモデル、歩留り劣化の主要因である欠陥のモデルを考え、計算機シミュレーションを行うことにより歩留りの予測を行った。このシミュレーション結果を、非冗長チップに関する歩留り予測式から求めた歩留りと比較することにより、FTG で構成された冗長チップの歩留りが、従来のものに比べ大幅に改善されることを確認した。

1. まえがき

われわれは機能論理回路を構成するゲート回路そのものを高信頼化する手法をすでに提案した³⁾。これは、あるゲートで故障が起こっても次段の冗長ゲートによって、この故障を訂正することが可能であり、故障の伝播を積極的に阻止しようとするものである。この冗長ゲートを FTG とよんだ。NAND, NOR, AND, OR, NOT, Exclusive OR FTG は、すでに提案済みであり³⁾、ここでは新たに3状態 FTG を提案する(2章)。そして、NOR-FTG のトランジスタによる設計例を示し、トランジスタの故障率を用いて従来のゲートとの信頼性の比較を行う。さらに、代表的な高信頼化手法である TMR(triple modular redundancy) 方式との信頼性の比較を行うことにより、FTG 方式の有用性を示す(3章)。

ところで、現在使われている主な論理素子は、すべて FTG 化することができるので、FTG のみで、大規模集積回路チップを構築することが可能である。そこで、このようなチップの歩留り向上に関して考察する。FTG は、入力ベクトルを3ビットとしたとき、1ビットまでの誤りを訂正することができる。それゆえ、従来のゲートで構成された非冗長チップの歩留り

に対し、FTG で構成された冗長チップの歩留りは、改善される可能性がある。一般に、歩留りが良いと、そのチップの価格は低下するので、冗長チップは比較的安価で手に入れることができることになる⁸⁾。そこでわれわれは、従来のゲートで構成された非冗長チップのモデルおよび、これと同機能の FTG で構成された冗長チップのモデル、また、歩留り劣化の主要因と考えられる欠陥のモデルを考え、計算機シミュレーションを行った(4章)。この結果、冗長チップの歩留りを従来の非冗長チップの歩留りに比べ大幅に改善できることが確認された。

1.1 故障モデル

本章では、従来の故障モデルの欠点を示し、われわれの用いた故障モデルを示す。回路中に故障が発生するとその故障は種々の障害を引き起こす。その障害の回路への影響を表現したものが故障モデルである^{7),15)}。故障モデルの有用さは、障害の影響をいかに正確に表現するかということと、その故障モデルが実際に取り扱いやすいかということで決定される¹⁵⁾。この二つは相反する関係があり、故障の影響を正確に表現すればするほどその取扱いは複雑なものとなる。

信頼性評価の際には、常に最悪値評価を行うべきであり⁷⁾、われわれは最悪値評価故障モデルを用いて、信頼性および歩留りの評価を行った。最も広く使われている単純な故障モデルは、固定故障モデルである。論理素子の出力端子の信号値を0または1に固定して考えるモデルを0縮退故障、1縮退故障モデルとよぶ。

† Fault-Tolerant Gate Applied to VLSI's to Improve Their Reliability and Productivity by YOSHIYASU TAKEFUJI, YOSHIHIKO ADACHI and HIDEO AISO (Faculty of Electrical Engineering, Keio University).

** 慶応義塾大学工学部電気工学科

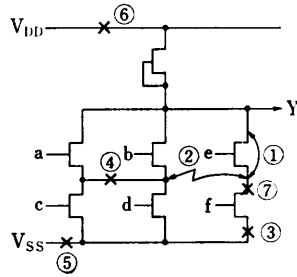


図 1 故障発生例

Fig.1 An example of failure occurrences.

Koren¹⁷⁾, Ogus⁶⁾ は、ゲートレベルでそれらの固定故障モデルを用いて機能論理回路の信頼性を導出する方法を示した。つまり機能論理回路 $f(i_1, i_2, \dots)$ 内に固定故障が起こった場合でも入力パターン (i_1, i_2, \dots) によってはその故障の影響をマスクできる場合があり、そのマスクできる確率を f によって計算し、回路の信頼性を細かく計算する導出法である。ところが Galiay らが提案する故障モデルを考えた場合¹⁶⁾、Koren らのモデルが信頼性評価に際していかに楽観的モデルであるか図 1 を用いて説明する。

図 1 に示す $Y = (a+b) \cdot (c+d) + e \cdot f$ の論理回路において①の短絡故障が発生すると出力 $Y_{①}$ は

$$Y_{①} = (a+b) \cdot (c+d) + f$$

となる。②の短絡故障が発生すると

$$Y_{②} = (a+b+e) \cdot (c+d+f)$$

となる。③の開放故障が発生すると

$$Y_{③} = (a+b) \cdot (c+d)$$

となる。④の開放故障が発生すると

$$Y_{④} = a \cdot c + b \cdot d + e \cdot f$$

となる。⑤の開放故障が発生すると

$$Y_{⑤} = 1$$

となる。⑥の開放故障が発生すると

$$Y_{⑥} \text{ は } Y \text{ の関数にしたがって } 0 \text{ または開放}$$

となる。⑦の開放故障が発生すると

$$Y_{⑦} = (a+b) \cdot (c+d)$$

となる。

以上のように発生する故障によって機能論理回路の機能が変わったり、⑥の開放故障のように出力 Y が多値論理となる場合があり、Koren らの故障モデルは、信頼性評価のモデルとしては楽観的である。

また Koren らの信頼性導出法は故障の活性化経路計算法を用いるため、大規模な機能回路の信頼性計算には不向きである。故障の活性化経路計算法とは、たとえば 2 入力 AND 回路の 1 入力に故障が発生する

いは伝播してきても、もう一方の入力が ϕ であれば、その故障はマスクできるといった計算法である。したがって Koren らの提案する故障モデルを用いて大規模回路の信頼性を手間をかけて計算しても、その結果は楽観的な値でしかない。

以上を踏まえてわれわれは故障モデルを次のように考えた。“トランジスタに故障が発生すればそのトランジスタにかかわる出力信号は故障している信号と判断する。”つまり、トランジスタ内あるいは相互間での短絡故障、開放故障が起こったならば、その回路の論理関数に関係なくその出力は故障とみなす。われわれの用いる信頼性モデルにおいて、回路の正しい出力値とは、入力値がすべて正しくかつ回路にまったく故障が発生していないときのみ生成されるものとする。

2. FTG の紹介³⁾

従来、算術論理演算器や加算器などの機能回路やメモリなどにおいて誤り訂正符号を応用した高信頼化回路の設計法がすでにいくつか提案されている^{4), 5)}。それらの高信頼化回路には誤り訂正を行う訂正回路が必要である。その最も簡単な回路は、TMR (triple modular redundancy) 方式^{1), 2), 6)}におけるボータであろう。一般に、これらの訂正回路は複数のゲートより構成されているので、訂正回路自身に冗長がない場合その信頼性はゲート 1 個の信頼性よりも必ず低くなってしまふ。

そこでわれわれは、ゲート回路の高信頼化回路 FTG をすでに提案した³⁾。簡単な FTG は、1 ビットのデータに 2 ビットの冗長を加えた 3 ビットを一つの情報の単位 (ベクトル) として扱う。FTG は、それ自身で誤り訂正を行えるので、FTG を構成しているトランジスタが故障してもそのゲート機能を果たすことが可能である。したがって、FTG の信頼性は、構成要素であるトランジスタの信頼性よりも高くなる³⁾。信頼性に関しては、次章でふたたび議論する。

代表的な基本論理回路、AND, OR, NOT, NAND, NOR, Exclusive OR FTG はすでに提案済みであり³⁾、ここでは、新たに 3 状態 FTG を提案する。

入力ベクトルを $(d_1 R_{11} R_{12})$ Disable ベクトルを $(d_2 R_{21} R_{22})$ 、出力ベクトルを $(D_0 R_{01} R_{02})$ とし、それぞれ d はデータビット、 R は冗長ビットとする。

3 状態 FTG の論理図を図 2 に、誤り訂正例を表 1 と図 3 に示す。通常 3 状態素子やオープンドレインゲート等は複数のゲートの出力同士を接続するため、故障

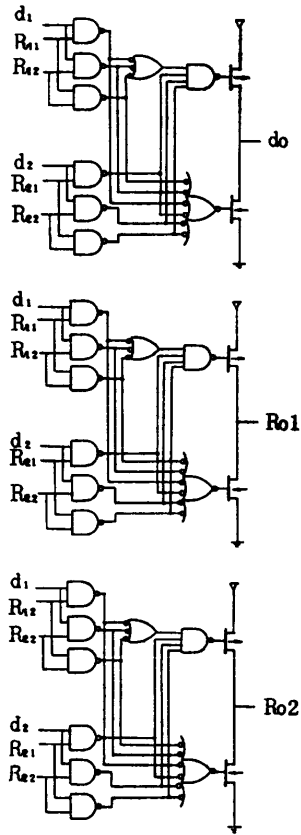


図2 3状態 FTG
Fig.2 3-STATE BUFFER FTG.

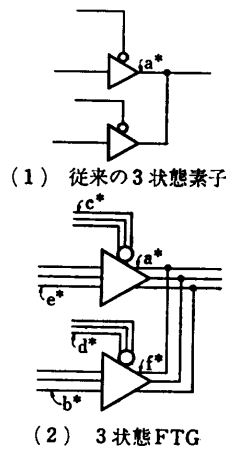


図3 3状態 FTG の故障例
Fig.3 Failures in 3-STATE FTG.

の局在化はなりたないが、3状態 FTG の場合には次段の FTG で訂正できるため故障の局在化は成立する。

図3(1)で a^* の箇所に故障が起こると、それに接続されるゲートのすべての出力値がどうなるか保障さ

表1 3状態 FTG 誤り訂正例

Table 1 An example of error corrections in a fault-tolerant 3 state buffer gate.

入力ベクトル			Disable ベクトル			出力ベクトル		
d_1	R_{11}	R_{12}	d_2	R_{21}	R_{22}	d_0	R_{01}	R_{02}
0	0	0	0	①	0	0	0	0
0	0	①	①	0	0	0	0	0
0	0	0	①	1	1	Z	Z	Z
1	1	①	0	①	0	1	1	1
1	①	1	①	0	0	1	1	1
1	1	①	1	①	1	Z	Z	Z
1	①	1	1	1	①	Z	Z	Z

注) 1. ①で囲まれたビットは誤りビットを示す。
2. "Z" は High impedance.

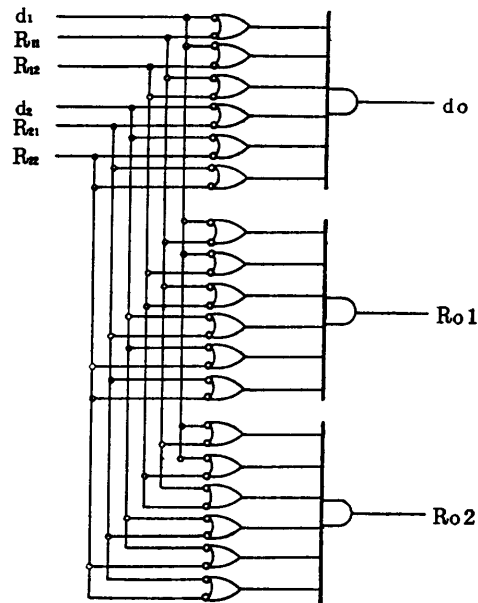


図4 NOR-FTG (2入力ベクトル)
Fig.4 NOR-FTG (2 input vectors).

れない。一方、図3(2)で示すように3状態 FTG の場合、たとえば a^* , b^* , c^* , d^* , e^* , f^* の箇所に故障が発生しても、次段の FTG に対して回復可能な入力ベクトル (1ビット誤りを含む) を生成できる。

3. 信頼性

トランジスタの故障確率 p を用いて FTG の信頼性を求め、従来のゲートおよびトランジスタ1個の信頼性との比較を行う。次に、代表的な高信頼化手法である TMR 方式と、本方式との信頼性の比較を行う。

3.1 FTG の信頼性³⁾

本節では、1例として2入力 NOR-FTG の信頼性

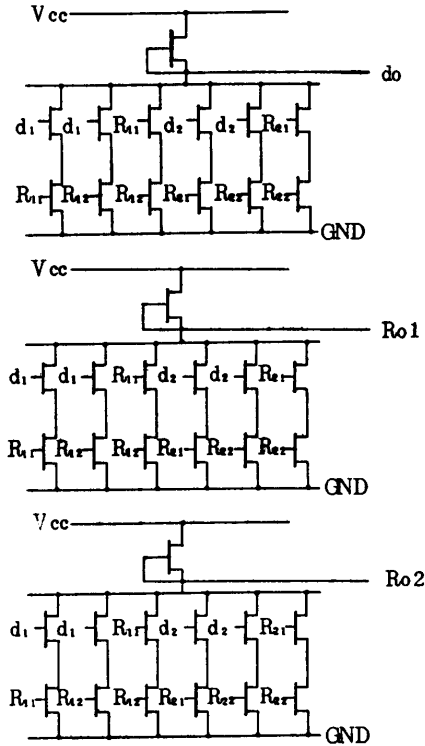


図5 NOR-FTG のトランジスタ回路図
Fig. 5 Transistor circuit of NOR-FTG.

を示し、その論理図を図4に、MOSトランジスタの回路図を図5に示す¹²⁾。訂正可能な出力ベクトル、すなわち1ビットまでの誤りを含んだベクトルになる確率(信頼性)を R_r 、トランジスタ1個の故障確率を p 、一つの入力に誤りである確率(伝播故障確率)を p_d とすると、 R_r は

$$\begin{aligned} R_r &= V \cdot (T_0 + \sum_{n=1}^{13} T_n) \\ &= \{(1-p_d)^6 + 6(1-p_d)^5 \cdot p_d + 9(1-p_d)^4 \cdot p_d^2\} \\ &\quad \cdot \left\{ (1-p)^{39} + \sum_{n=1}^{13} 3 \cdot \binom{13}{n} \cdot (1-p)^{39-n} \cdot p^n \right\} \\ &= (1-6p_d^2 + 4p_d^3 - 9p_d^4 - 12p_d^5 + 4p_d^6) \\ &\quad \cdot (1-507p^2 + 10478p^3 - 119652p^4 + \dots) \end{aligned} \quad (4)$$

となる³⁾。

次に、伝播故障確率 p_d を考える³⁾。 p_{di} を i 段目の伝播故障確率とすると、 p_{di} は、

$$\begin{aligned} p_{di} &= 1 - (1-p)^{13} \cdot [(1-p_{di-1})^6 \\ &\quad + 6 \cdot (1-p_{di-1})^5 \cdot p_{di-1} \\ &\quad + 9 \cdot (1-p_{di-1})^4 \cdot p_{di-1}^2] \end{aligned} \quad (5)$$

により表される³⁾。一般的に、 p_{di-1} および p は小さ

いので ($1 \gg p_{di-1}$, $p > 0$)、おのおの1次項のみを考え³⁾、(5)式の近似式を求めると³⁾、

$$p_{di} \doteq 13 \cdot p \quad (6)$$

となり、さらにこの式を(4)式に代入し、 p の3次以上の項を無視すると、

$$\begin{aligned} R_r &= (1-1014p^2 + 6776p^3 + \dots) \cdot (1-507p^2 \\ &\quad + 10478p^3 + \dots) \doteq 1-1521p^2 \end{aligned} \quad (7)$$

が得られる。

これに対し、従来の非冗長の2入力 NOR ゲートに関しその信頼性 R_n を同様の手順により求める。正しい入力が見られる確率を V 、そのときに正しい出力が見られる確率を T とする。2入力 NOR ゲートは、3個のトランジスタにより構成されるので、

$$V = (1-p_d)^2$$

$$T = (1-p)^3$$

となり、信頼性 R_n は次式で与えられる³⁾。

$$R_n = (1-p_d)^2 \cdot (1-p)^3 \quad (8)$$

また、 i 段目の伝播故障確率 p_{di} は、

$$p_{di} = 1 - (1-p)^3 \cdot (1-p_{di-1})^2$$

となる。このとき、 $p_{di} = 0$ とすると p_{di} の一般項は、

$$p_{di} = 1 - (1-p)^{2^i}$$

ただし

$$a_i = 3 \cdot (2^{i-1} - 1) \quad (i \geq 1)$$

であり、これを(8)式に代入し、3次以上の項を無視すると、

$$\begin{aligned} R_n &= (1-p_d)^2 \cdot (1-p)^3 \\ &= (1-p)^{2a_i} \cdot (1-p)^3 = (1-p)^{2a_i+3} \\ &= (1-p)^{3(2^i-1)} \\ &\doteq 1 - 3 \cdot (2^i - 1)p + 6(3 \cdot 2^{2i-2} - 2^i - 3 \cdot 2^{i-2} + 1)p^2 \end{aligned}$$

が求まる。

ここで、FTGの信頼性 R_r と従来のゲートの信頼性 R_n の比較を行う。両者の故障確率 $\log_{10}(1-R_r)$ 、 $\log_{10}(1-R_n)$ とトランジスタの故障確率 $\log_{10} p$ の関係は、図6のようになる(ただし、非冗長ゲートは

* $p=10^{-7}$ を仮定すると、 p^2 は 10^{-14} 、 p^3 は 10^{-21} 、... となり、 $(1-p)^{39}$ の項を考える際に p の項のみを考えれば十分である。また伝播故障確率 p_{di-1} も p と同様のオーダーと仮定すれば、 $[(1-p_{di-1})^6 + 6(1-p_{di-1})^5 \cdot p_{di-1} + 9(1-p_{di-1})^4 \cdot p_{di-1}^2]$ の項において p_{di-1} の項のみを議論すれば十分である。

** NORゲートの場合、一つの入力が見ればもう一方の入力に混入してくる伝播故障はマスクできる。しかしながら n 個 ($n > 1,000$) の NOR ゲートより成る機能論理回路を考える際に、その回路内に発生する故障あるいは入力に故障が混入したときに、それらの故障をマスクできる確率を導出する、すなわち故障の活性化経路の確率計算をするのは複雑で非現実的である。そこで本論文では、故障の混入あるいは発生に対して最悪条件を考えている。つまり、あるゲートに故障が発生したり入力に故障が混入したときには、そのゲートの出力は故障しているものとみなしている。

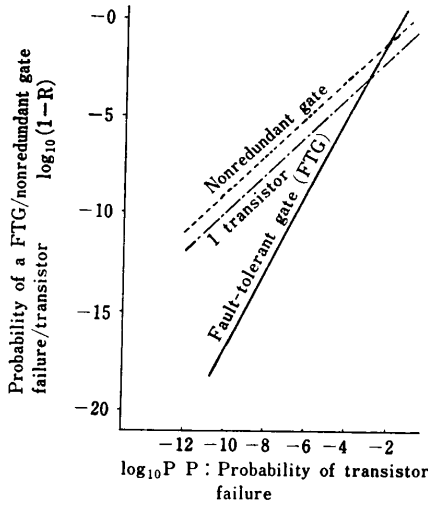


図 6 FTG と非冗長ゲートの故障確率比較 (2入力 NOR)
Fig. 6 Probability of FTG/gate failure (2 input NOR)

$i=2$ の値を考えた).

このグラフから, $p \leq 10^{-2}$ において,

$$\log_{10}(1-R_r) < \log_{10}(1-R_n)$$

であるので, FTG のほうが信頼性が高いことがわかる. さらにトランジスタの故障確率が小さくなればなるほど, FTG の信頼性は向上し, $p \leq 10^{-3}$ に至っては, おおのこのトランジスタの故障確率よりも信頼性が高くなることわかった.

ところで, トランジスタの故障がポアソン分布に従うとすると⁷⁾, トランジスタ1個の故障率を λ としたとき, トランジスタの故障確率 p は, $p = 1 - e^{-\lambda t}$ となる. たとえば $0.01 \text{ FIT} (\lambda = 10^{-11})$ のトランジスタを用いて非冗長2入力 NOR ゲートと, 冗長2入力ベクトル NOR FTG を構成することを考える. $T = 10^3$ 時間後にそれらを検査したとすると,

$$\text{トランジスタ故障確率 } p \doteq 10^{-8}$$

$$\text{非冗長2入力 NOR ゲート故障確率} \doteq 10^{-7}$$

$$\text{冗長2入力 NOR ゲート故障確率} \doteq 10^{-13}$$

となり, FTG 化することにより 10^{-6} 改善された. また, トランジスタの故障確率を $p = 10^{-9}$ としたとき, このトランジスタを用いて, 両 NOR ゲートを構成すると, 冗長 NOR ゲートの故障確率は 10^{-15} となり大幅に改善される.

3.2 本方式と TMR 方式の信頼性比較

従来の最も代表的な高信頼化手法である TMR 方式と本方式の信頼性について議論する. 対象とする機

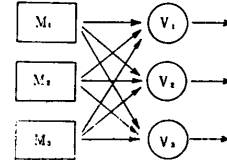


図 7 TMR 方式の構成図
Fig. 7 Configuration of TMR.

能論理回路は, N 個の 2 入力 NOR ゲートから成る M 入力のモジュールとする ($N > 1,000$).

TMR 方式は, 図 7 に示すように同一機能のモジュールを三つ並べそれらの出力の多数決をボータによってとる方式である.

この TMR 方式の信頼性 R_T は, 次式で与えられる^{*}.

$$\begin{aligned} R_T &= [R_V^3 + 3R_V^2 \cdot (1 - R_V)] \cdot [R_M^3 \\ &\quad + 3R_M^2(1 - R_M)] \cdot (1 - p_d)^M \\ &= (3R_V^2 - 2R_V^3) \cdot (3R_M^2 - 2R_M^3) \cdot (1 - p_d)^M \end{aligned} \quad (11)$$

ただし,

R_V : V_1, V_2, V_3 のそれぞれの信頼性

R_M : M_1, M_2, M_3 のそれぞれの信頼性

p_d : 前段からの伝播故障確率

ボータがトランジスタより構成されると仮定**すると, $R_V = (1 - p)^9$ となる. また 2 入力 NOR ゲートは 3 トランジスタより成るので, N 個の 2 入力 NOR ゲートより構成される回路の信頼性 R_M は, $R_M = (1 - p)^{3N}$ となる. これら R_V, R_M により TMR 方式の信頼性 R_T は, (11) 式から

$$\begin{aligned} R_T &\doteq 1 - (27N^2 + 243) \cdot p^2 - M \cdot p_d \\ &\quad + \frac{M \cdot (M - 1)}{2} \cdot p_d^2 \end{aligned} \quad (12)$$

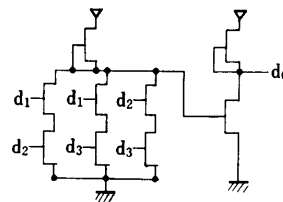
となる.

一方, 本方式の信頼性 R_F は次のようになる.

$$\begin{aligned} R_F &= (1 - 1521 \cdot p^2 + \dots)^N \cdot [(1 - p_d)^3 \\ &\quad + 3(1 - p_d)^2 \cdot p_d]^M \end{aligned}$$

* 3.1 節のところでのべたように, 非冗長の場合でも故障の発生あるいは故障の混入をマスクできる場合があるが, ここでは最悪条件を考慮し, M 入力のうち 1 入力でも故障が混入すると, 対象とする機能論理回路は正しい出力を出さないものと仮定している. FTG による機能回路も同様の条件で議論している.

**



$$\approx 1 - 1521 \cdot N \cdot p_d^2 - 3M \cdot p_d^2 + \dots \quad (13)$$

(12)式と(13)式を比べてみると、明らかに(12)式すなわち R_T のほうが R_F より低い。なぜならば、伝播故障確率 p_d の1次項が(12)式にあるからである。また $p_d=0$ と仮定したときは^{*}、 $N < 57$ において、 $R_T > R_F$ が成り立つ。つまり、機能論理回路への入力伝播故障確率 p_d が $p_d=0$ と仮定されるときは、 $N \geq 57$ ならば、本方式の信頼性 R_F は TMR 方式の信頼性 R_T よりも高くなる。

本章での検討の結果、FTG の信頼性は、従来のゲートの信頼性および構成要素のトランジスタの信頼性よりも大幅に改善される。またゲート数 $N \geq 57$ のとき、本方式の信頼性は、TMR 方式の信頼性よりも優れている。

4. FTG を用いた VLSI チップの歩留り予測

FTG を用いて VLSI チップを構成すると、従来の同機能の非冗長チップに比べ、ハードウェア量が 10 数倍必要なので、チップ面積が 10 数倍、またはそれ以上に増大してしまう。一般に歩留りは、チップ面積の増加に対し指数関数的に減少すると考えられるので、冗長チップの歩留りは、非冗長チップのそれに比べ大幅に減少すると思われる。ところが FTG は誤り訂正機能を備えているため、冗長チップの歩留りは、非冗長チップのそれに比べ増加する可能性がある。

本章では、FTG、非冗長ゲートのモデル化および歩留り劣化の主要因である欠陥のモデル化を行い(4.1節)、計算機を用いてシミュレーションを行った(4.2節)。

ここで、歩留り Y は次のように定義する。

1 ウェハにおいて、

$$Y = \{(\text{良チップ数}) / (\text{全チップ数})\} \times 100 (\%)$$

である。

4.1 歩留り予測のためのシミュレーションモデル

4.1.1 シミュレーションモデル

(a) 欠陥

集積回路の製造技術の進歩に伴い、歩留り劣化の主要因である欠陥の大きさは、小さくなってきており、ほとんど pinhole 欠陥と考えるもさしつかえない。

したがって、一つの欠陥が2個のトランジスタに影響を及ぼす確率はきわめて低い。また、実際に発生する欠陥の分布はランダムではないが、一様乱数的に分布する場合は最も歩留りが低くなる¹³⁾。

これらのことから、欠陥については次のモデルを考えることにした。

- (1) 一つの欠陥は、トランジスタ1個のみを故障させる。つまり、一つの欠陥は2個以上のトランジスタを同時に故障させない¹³⁾。
- (2) 欠陥は一様乱数的に発生するものとした。
- (b) FTG, チップ, ウェハ

FTG は、図2, 図4に示したように、それぞれの出力に対応する三つの部分に分かれている。これをモジュールとよぶことにする。

ランダムロジックの場合、その規模が大きくなるにつれて配線部分が占める面積の割合は、トランジスタ部分が占める面積の割合に比べ、大きくなる傾向にある。それゆえトランジスタ部で発生する故障とともに配線部で起こる故障も考慮しなければならない^{*}。

そこで、各モジュールは、トランジスタ部、配線部から成るものとした^{*}。この様子を図8に示す。

FTG の一つのモジュールを構成するトランジスタ数を n 個とする。ここでトランジスタ面積に対して配線面積が8割を占めるとすると、一つのモジュール面積はトランジスタ $n \times 1.8$ 個分に相当する。またこのフォールト・トレラント・ゲートの面積は、一つのトランジスタ面積の $n \times 1.8 \times 3$ 倍となる。FTG M 個で VLSI チップを構成したときその面積は、 $n \times 1.8 \times 3 \times M$ 個分のトランジスタ面積に相当する。さらに、1 ウェハが N 個のチップから成るとすれば、1

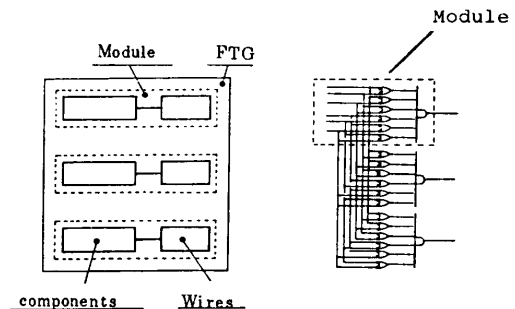


図8 FTG のシミュレーションモデル
Fig.8 FTG simulation.

* M入力のすべてが正しい値であると仮定したことを意味する。つまり TMR 方式の信頼性 R_T の(11)式の $(1 - P_d)^M$ の項を、1にみなしているのと等価であり、TMR 方式にとっては有利な条件としている。

* 配線部をトランジスタの集合と考え、配線部に1個でも欠陥が発生するとその配線部は故障とみなしている。つまりトランジスタ部分が占める面積に対し配線部分が占める面積が大きくなると、配線部分で発生する欠陥数が増す。

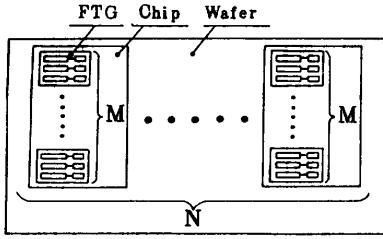


図9 ウェハのシミュレーションモデル
Fig.9 Wafer simulation model.

ウェハは $n \times 1.8 \times 3 \times M \times N = 5.4nMN$ 個分のトランジスタ面積となる。これらの様子を図9に示す。

欠陥がこのシミュレーションモデル中に発生した場合を考えてみる。(a)から、一つの欠陥は必ず一つのトランジスタを故障させる。そこで最悪条件を考えて一つのトランジスタが故障すると、それを含まないモジュールが故障するとみなす。三つのモジュールのうち、二つのモジュールが故障したとき、そのFTGは故障したものとみなし、故障しているFTGを含む冗長チップは故障チップとみなす。

(c) 非冗長チップ

従来のゲートで構成されたチップは、冗長部分をもっていないため、チップ内に一つ以上の欠陥が発生すると、そのチップは故障チップとみなす。本論文では、論理回路チップはすべて2入力NORゲートまたは2入力NANDゲートによって構成されるものとした。また比較すべきチップは同機能をもたせた。すなわち、a個の2入力NORゲートで構成されている非冗長チップと、a個の2入力ベクトルNOR FTGで構成されている冗長チップを考えた。ただし、2入力NORゲートはトランジスタ3個から、2入力ベクトルNOR FTGは39個のトランジスタから構成されるものとした。また、それぞれのウェハ面積をほぼ同じ大きさにするため、1ウェハから非冗長チップ最大100個、冗長チップ最大9個とれるものとした。

4.1.2 歩留り予測式

従来のゲートで構成された非冗長チップに関しては、いくつかの欠陥分布関数をもとに歩留りの予測式が考えられている¹⁴⁾。ここではそのなかの二つを挙げる。

(1) Dingwallの実験式⁹⁾

$$Y = \left(1 + \frac{A \cdot D_0}{3}\right)^{-3} \times 100 (\%)$$

D_0 : 平均欠陥密度 (defects/cm²)

(2) Seedsの理論式¹⁰⁾

$$Y = (-2) \frac{(1 - e^{-AD_m} - AD_m)}{A^2 D_m^2} \times 100 (\%)$$

D_m : 最大欠陥密度 (defects/cm²)

ともに

A : チップ面積 (cm²)

4.2 シミュレーション結果

実際に歩留りを求めるために、次のパラメータを導入する。

PA: 1トランジスタ面積 (μm²)

PD: 平均欠陥密度 (欠陥数/cm²)

PI: 集積密度 (ゲート数/チップ or FTG数/チップ)

PR: トランジスタ面積 / (トランジスタ面積 + 配線面積)

シミュレーションは1ウェハについて行った。PA, PI, PRよりウェハ面積が決定され、PDを与えることにより1ウェハ内に発生する全欠陥数を求め、一様乱数的に欠陥を発生させた。

4.2.1 非冗長チップの歩留り検討

非冗長チップの歩留りは、(i)シミュレーション、(ii)Dingwallの実験式、(iii)Seedsの理論式の三つの方法で求めた。PD=30としたとき、非冗長チップ面積と歩留りの関係を示したものが図10である。

この図から次のことがわかる。

(1) 歩留りに及ぼすチップ面積の影響は(i)~(iii)ともほぼ同じ傾向を示す。

(2) 歩留りは、全域にわたって(iii), (ii), (i)の順に低くなっている。

以上(1), (2)から、また(iii)のSeedsの理論式から求められる歩留りが現在の技術レベルの目安と思われるので、非冗長チップシミュレーションによって求

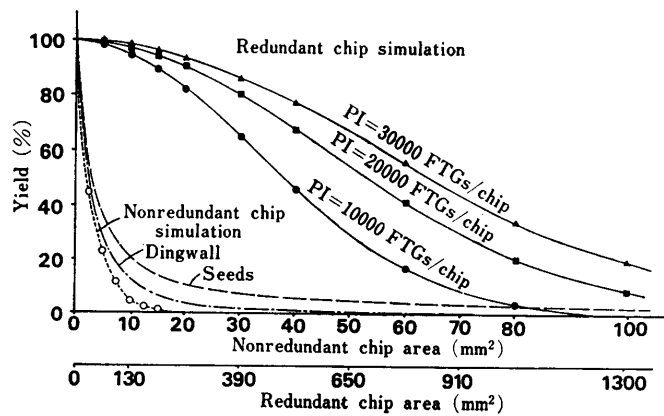


図10 チップ面積と歩留りの関係 (PD=30)
Fig.10 Yield vs. chip area.

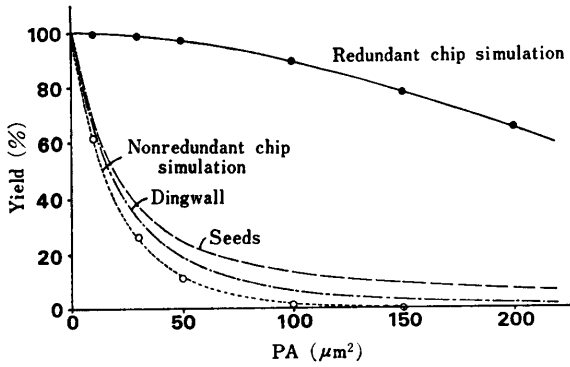


図 11 1 トランジスタ面積と歩留りの関係
(PR=0.2, PI=10,000, PD=30)
Fig. 11 Yield vs. 1 transistor area.

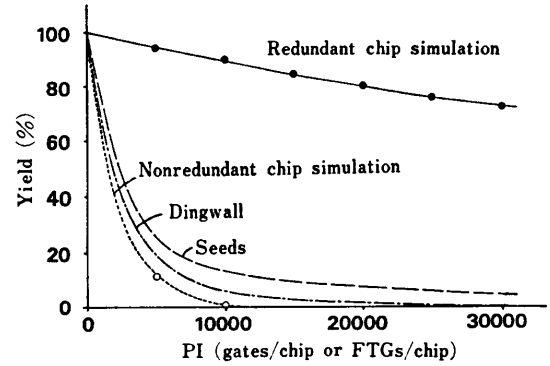


図 13 集積度と歩留りの関係
(PA=100, PR=0.2, PD=30)
Fig. 13 Yield vs. integration density.

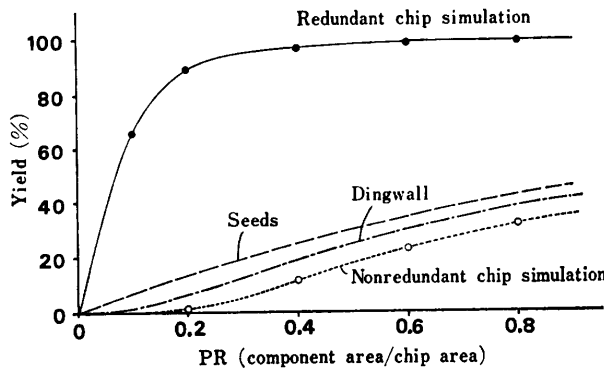


図 12 トランジスタ面積の占める割合と歩留りの関係
(PA=100, PI=10,000, PD=30)
Fig. 12 Yield vs. component ratio.

・ 1 チップ面積におけるトランジスタ面積の占める割合: PR=0.2

このとき、チップ面積 S は、1 ゲートを構成するトランジスタ数を n とすると、

$$S = n \cdot PA \cdot PI / PR$$

で与えられる。2 入力ベクトル NOR FTG は 39 トランジスタ ($n=39$) から、2 入力 NOR ゲートは 3 トランジスタ ($n=3$) から構成されているので、冗長チップ面積 S_r 、非冗長チップ面積 S_n は、

$$S_r = 39 \cdot PA \cdot PI / PR$$

$$S_n = 3 \cdot PA \cdot PI / PR$$

である。

図 11~14 に歩留りと各パラメータの関係を示す。

それぞれのパラメータは、対象とするパラメータ以外は標準値をとるものとする。これらのグラフにおいてどのような場合でも、冗長チップの歩留りは、非冗長チップの歩留りよりも優れている。

図 10 にチップ面積と歩留りの関係を示す。PA, PI, PR によりチップ面積を求め、対応する歩留りを図

められた歩留りは、かなり悲観的な評価であると考えられる。したがって、非冗長チップシミュレーションモデルと同様の手続きで作成した冗長チップのシミュレーションモデルは悲観的であり、このモデルを用いて求めた歩留りは有効であると考えられる。

4.2.2 冗長チップのシミュレーション結果の検討

本節では、歩留りに対する各パラメータの特性を調べ、冗長チップ、非冗長チップの歩留りについて比較する。さらに、冗長チップに関して面積と歩留りの関係を求め非冗長チップとの比較を行う。

先程導入したパラメータに次のように標準値を設定する¹¹⁾。

- ・ 1 トランジスタ面積: PA=100 (μm^2)
- ・ 平均欠陥密度: PD=30 (欠陥数/ cm^2)
- ・ 1 チップあたりのゲート数または FTG 数
非冗長チップ: PI=10,000 (gates/chip)
冗長チップ: PI=10,000 (FTGs/chip)

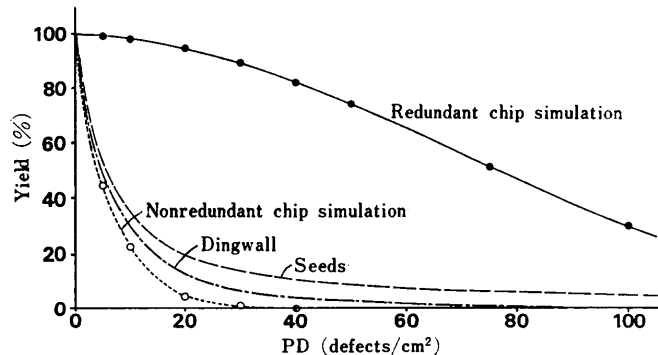


図 14 欠陥密度と歩留りの関係 (PA=100, PR=0.2, PI=10,000)
Fig. 14 Yield vs. defect density.

11~14から求めた。冗長チップは同機能の非冗長チップに比べ13倍のトランジスタを含んでいるので面積も13倍とする。PI=10,000のグラフを考えると、非冗長チップ面積81mm²、冗長チップ面積1,053mm²未満では冗長チップの歩留りのほうが優れている。先程設定した標準値における非冗長チップ面積は15.2mm²であり明らかに冗長チップの歩留りのほうが優れている。

以上四つのパラメータ(PA, PI, PR, PD)に関して歩留りを評価した結果、ほとんどの条件において冗長チップの歩留りは非冗長チップの歩留りを上回ることがわかった。

5. む す び

誤り訂正符号をゲートレベルで実現したFTGは、従来のゲートに比べその信頼性を大幅に改善する。また、FTGを基本論理素子として機能論理回路を構成すると、従来の高信頼化手法であるTMR方式に比べその信頼性は改善される。さらに歩留りについて検討した結果、従来の非冗長チップに比べ、冗長チップの歩留りは大幅に改善されることがわかった。したがって、FTGを基本論理素子として用いると、高信頼性のチップを比較的安価で手に入れることができる。

謝辞 本研究に際し熱心なご討論をいただいた日本電気の佐々木元部長、森野明彦博士、松江繁樹課長、東京工業大学の南谷崇博士に深謝いたします。

参 考 文 献

- 1) Heimlich, A.: Memory Finds and Fixes Errors to Raise Reliability of Microcomputer, *Electronics*, pp. 168-172 (Jan. 3, 1980).
- 2) Pradhan, D.K.: Error Correcting Codes and Self-Checking Circuit, *Computer*, Vol. 13, No. 3, pp. 27-38 (Mar. 1980).
- 3) Takefuji, Y. and Ikeda, M.: A Novel Approach to Fault-Tolerant Logic, *J. Inf. Process.* Vol. 3, No. 3, pp. 119-126 (Sep. 1980).
- 4) Rao, T. R. N.: Fault-Tolerant Modularized Arithmetic Logic Units, *Proc. NCC*, pp. 703-710 (1977).
- 5) Kaneda, S.: Single Byte Error Correcting-Double Byte Error Detecting Codes for Memory Systems, *Proc. FTCS-10*, pp. 41-46 (Oct. 1980).
- 6) Ogus, R.C.: The Probability of a Correct Output from a Combinational Circuit, *IEEE Trans. Comput.* C-24, No. 5, pp. 534-544 (May 1975).
- 7) Avizienis, A.: Fault-Tolerance: The Survival Attribute of Digital Systems, *Proc. IEEE*, 66, pp. 1109-1125 (Oct. 10, 1978).
- 8) Goto, T.: How Japanese Manufactures Achieve High IC Reliability, *Electronics*, pp. 140-147 (Mar. 13, 1980).
- 9) Buie, J.L.: VLSI Bipolar Technology.
- 10) What Level of LSI is Best for You? *Electronics*, pp. 126-130 (Feb. 16, 1970).
- 11) Bentley, J.L.: Statistics on VLSI Designs, CMU-CS-80-111 (April 17, 1980).
- 12) Crouzet, Y. and Landrault, C.: Design of Self-Checking MOS-LSI Circuits, Application to A Four Bit Microprocessor, *Proc. FTCS-9*, pp. 189-192 (Jun. 1979).
- 13) Gupta, A. and Lathrop, J.W.: Yield Analysis of Large Integrated Circuit Chips, *IEEE J. Solid-State Circuits*, Vol. SC-7, No. 5, pp. 389-395 (Oct. 1972).
- 14) Murphy, B.T.: Cost-size Optima of Monolithic Integrated Circuits, *Proc. IEEE*, Vol. 52, pp. 1537-1545 (Dec. 1964).
- 15) McCluskey, E.J.: Fault-Tolerant Systems, *IPSJ* (April 1982).
- 16) Gariay, J., Crouzet, Y. and Vergnault, M.: Physical versus Logical Fault Models in MOS LSI Circuit, Impact on Their Testability, *FTCS-9* (1979).
- 17) Koren, I.: Signal Reliability of Combinational and Sequential Circuits, *FTCS-7* (1977).
- 18) Private discussion with Mr. Sasaki, H., Dr. Morino, A., Mr. Matsue, S. of NEC Corp., (Jul. 1980).

(昭和57年5月12日受付)
(昭和57年7月12日採録)